

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-005436

(43)Date of publication of application : 10.01.1990

(51)Int.Cl.

H01L 21/336
H01L 21/265
H01L 29/784

(21)Application number : 63-153572

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 23.06.1988

(72)Inventor : OKUDA YOSHIMITSU
OKUMA TORU
FUKUMOTO HIROBUMI
TAKASHIMA YUKIO

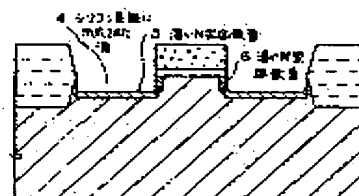
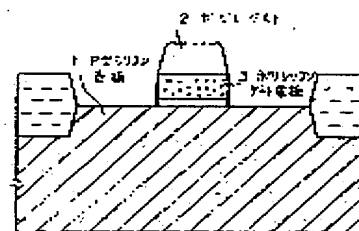
(54) MANUFACTURE OF FIELD-EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To form a thin diffused layer on the sidewall of a groove and to reduce an area exclusively used for a transistor on a substrate by forming high concentration source, drain diffused layer in the bottom of the groove, and then ion implanting the sidewall of the groove in a state that an ion beam has a predetermined angle with respect to the substrate.

CONSTITUTION: After an isolating oxide film is formed on a P-type silicon substrate 1, a polysilicon gate electrode 3 is formed of positive resist 2. Then, with the resist 2 as a mask as it is a groove 4 is formed on the substrate by anisotropic dry etching.

Thereafter, an ion implantation is so conducted that the substrate becomes substantially perpendicular to an arsenic ion beam to form a high concentration N-type diffused layer 5, an ion implantation is so conducted that an ion beam has an angle of 60° to the surface of the substrate to form a thin diffused layer 6. Thus, a thin diffused layer formed on the sidewall of the groove is formed with satisfactorily uniform concentration, and since the formed transistor is formed with the region of the thin diffused layer substantially perpendicularly thereto, an area exclusively used on the substrate can be extremely decreased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-5436

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月10日

H 01 L 21/336
21/265
29/784

8422-5F
7522-5F

H 01 L 29/78
21/265

3 0 1 Z
R

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 電界効果トランジスタの製造方法

⑯ 特 願 昭63-153572

⑰ 出 願 昭63(1988)6月23日

⑱ 発 明 者	奥 田 能 充	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑱ 発 明 者	大 熊 徹	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑱ 発 明 者	福 本 博文	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑱ 発 明 者	高 島 幸 男	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑲ 出 願 人	松下電子工業株式会社	大阪府門真市大字門真1006番地	
⑳ 代 理 人	弁理士 星野 恒 司		

明 細 書

1. 発明の名称

電界効果トランジスタの製造方法

2. 特許請求の範囲

半導体基板上に、選択酸化法によって素子分離領域を形成する工程と、ポリシリコン又は高融点金属材料によるゲート電極を形成する工程と、同ゲート電極と素子分離領域に対して自己整合的に基板に溝を形成する工程と、前記溝の底部に基板と逆の導電型を持つ濃度の高い拡散層をイオン注入によって形成する工程と、前記溝の側壁に基板をイオン線に対して傾けたイオン注入を行うことによって、濃度の低い拡散層を形成する工程を含むことを特徴とする電界効果トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体基板上に形成される微細なLDD (Lightly Doped Drain) 構造を持つ電界効

果トランジスタの製造方法に関する。

(従来の技術)

半導体基板上に作り込む能動素子の1つである電界効果トランジスタは、ゲート電極にポリシリコンまたは高融点金属材料を用い、ドレイン及びソース拡散層を自己整合的に形成するものが最も一般的である。この構造の電界効果トランジスタにおいて、特にドレインとソース間の耐圧を上げる必要がある場合、実効的なゲート部分からある距離をあけて薄い拡散層を形成し、その内側にゲートに対して自己整合的に薄い拡散層を形成するいわゆるLDD構造にすることが行われている。

(発明が解決しようとする課題)

上記の如く、従来から用いられているLDD構造を持つ電界効果トランジスタでは、ゲートからある距離にわたって薄い拡散層を形成する必要があるため、トランジスタが基板上で専有する面積がその分大きくなり、高集積化の上でさまたげになる。また製造工程上、薄い拡散層のスペースを作るために、ゲート側壁に何らかの物質によるス

ペーサを形成する等の工夫が必要となり、かなり複雑な工程が付加されることとなる。

(課題を解決するための手段)

上記の課題を解決するために、本発明はポリシリコン又は高融点金属材料によるゲート電極を形成した後に、エッチングによりソース及びドレインとなる部分の半導体基板部分にゲート電極と分離酸化膜に対して自己整合的に溝を形成し、溝の底部に濃いソース・ドレイン拡散層を形成した後、溝の側壁に基板がイオンビームに対してある角度を持つ状態でイオン注入を行うことによって、溝の側壁に薄い拡散層を形成するように改良を加えて、LDD構造を持つ電界効果トランジスタを製造するようにした。

(作用)

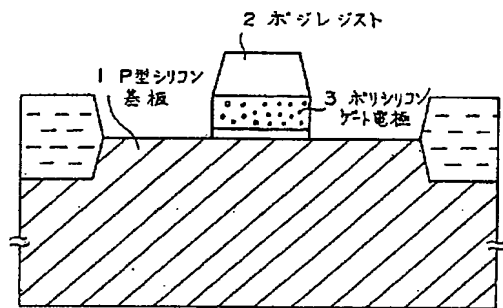
本発明の電界効果トランジスタの製造方法においては、溝の側壁に形成される薄い拡散層が、濃度の均一性よく形成される。出来たトランジスタは、薄い拡散層の領域がほぼ垂直に形成されるため、基板上での専有面積が極めて小さくなる。ま

た基板に形成される溝は、ゲート電極と分離酸化膜に対して自己整合的に形成されるので、工程は極めて簡単である。

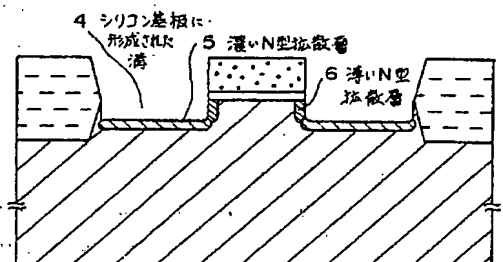
(実施例)

次に図を参照しながら実施例によって本発明の詳細を説明する。第1図ないし第3図は工程の流れを示した断面図である。実施例ではN型の電界効果トランジスタを示す。まず第1図に示すようにP型シリコン基板1に周知の選択酸化法を用いて分離酸化膜を形成した後、約10nmのゲート酸化膜を形成し、さらに約400nmのポリシリコンを堆積し、ポジレジスト2によって、ポリシリコンゲート電極3を形成する。次に前記ポジレジスト2をそのままマスクにして、第2図に示すように異方性ドライエッチングによって基板に溝4を形成する。この後基板とひ素イオンビームとがほぼ垂直となるイオン注入を行って濃いN型拡散層5を形成し、次にイオンビームを基板表面とが60°の角度を持つようイオン注入を行って、薄い拡散層6を形成する。この後第3図に示す800nmのB P

第 1 図



第 2 図



SG膜7を形成し、同図に示すように、ソース及びドレインのアルミ配線8を行った。本実施例のトランジスタはゲート長が12μmのものであり、溝の深さは約0.3μmとした。

(発明の効果)

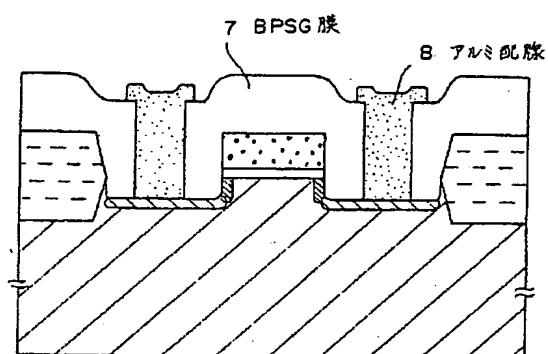
上記の実施例によれば、ゲートポリシリコンの側壁にスペーサを設けた形の電界効果トランジスタに対して面積が約30%減少した。またイオン注入によって薄い拡散層を形成しているため、特性が極めて安定しており、またばらつきも少ない。

4. 図面の簡単な説明

第1図、第2図、第3図は順に本発明電界効果トランジスタの製造方法の工程を示した図である。

- 1 … P型シリコン基板、2 … ポジレジスト、3 … ポリシリコンゲート電極、4 … シリコン基板に形成された溝、5 … 濃いN型拡散層、6 … 薄いN型拡散層、7 … B P SG膜、8 … アルミ配線。

第 3 図



THIS PAGE BLANK (USPTO)